

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-143846

(43)公開日 平成11年(1999) 5月28日

(51)IntCl.⁶
G 0 6 F 15/167
11/20
11/30

識別記号

3 1 0

F I
G 0 6 F 15/16
11/20
11/30

3 1 0 K

3 1 0 K

F

審査請求 未請求 請求項の数 1 O L (全 3 頁)

(21)出願番号 特願平9-306809

(22)出願日 平成9年(1997)11月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 390023928

日立エンジニアリング株式会社

茨城県日立市幸町3丁目2番1号

(72)発明者 前田 徹

茨城県日立市幸町三丁目2番1号 日立エ
ン지니어リング株式会社内

(72)発明者 高倉 満郎

茨城県日立市幸町三丁目2番1号 日立エ
ン지니어リング株式会社内

(74)代理人 弁理士 小川 勝男

最終頁に続く

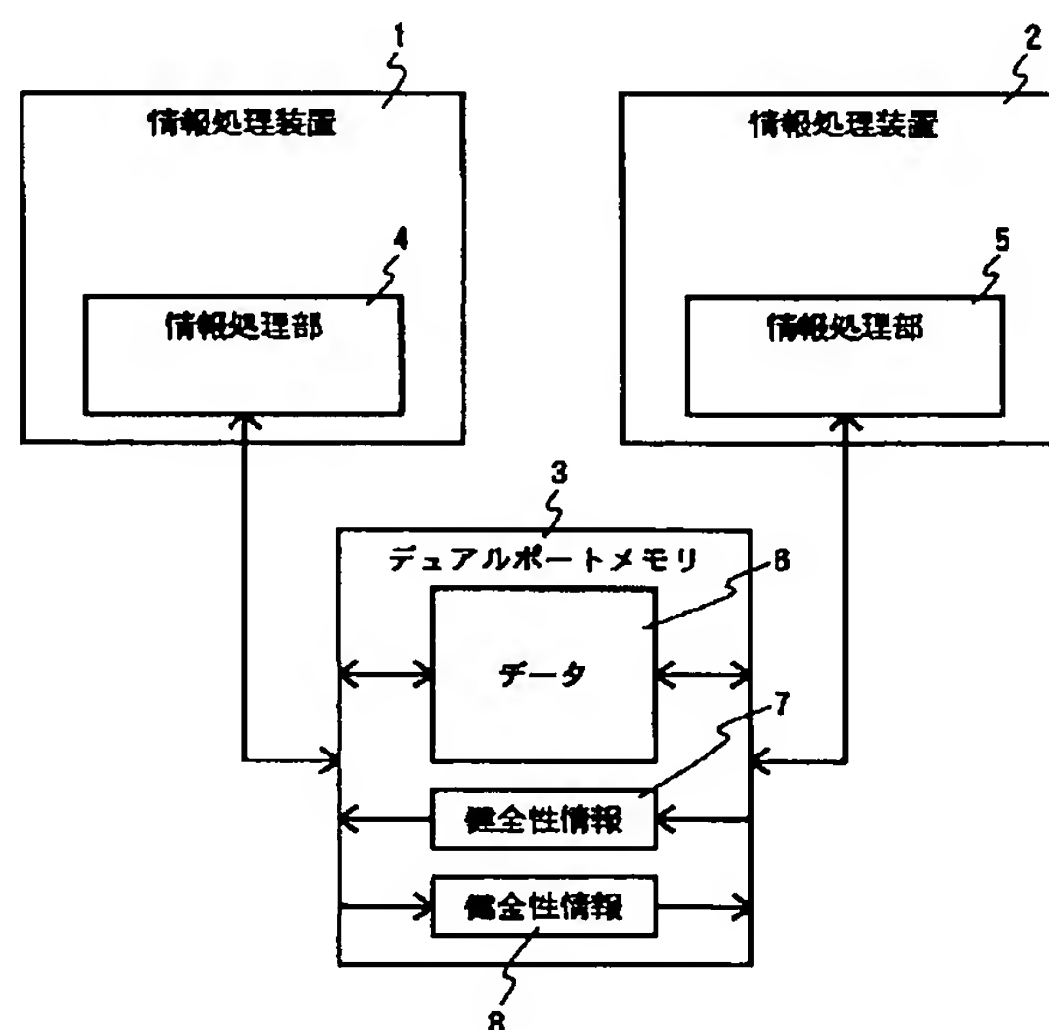
(54)【発明の名称】 情報処理装置の接続方式

(57)【要約】

【課題】デュアルポートメモリを介して互いの情報処理部のバスを接続した情報処理装置からなる情報処理システムでは、一方の情報処理装置が異常になると他方の情報処理装置もその影響により異常となって共倒れとなる。

【解決手段】デュアルポートメモリを介して相互に受け渡すデータ以外に、おのこの情報処理装置の健全性を示す健全性情報も相互に受け渡しすることにより、常に一方が他方の健全性を確認可能となり、一方が他方の異常を検出した際にはデュアルポートメモリ経由のデータ受け渡し処理を切り離すことにより、論理的に他方の情報処理装置を分離・絶縁する。

図 1



【特許請求の範囲】

【請求項 1】少なくとも 1 つの情報処理部を備えた第 1 の情報処理装置と、少なくとも 1 つの情報処理部を備えた第 2 の情報処理装置と、該第 1 および第 2 の情報処理装置のそれぞれに属する情報処理部のバスに接続され、該第 1 および第 2 の情報処理部の間で相互にデータの受け渡しを行うデュアルポートメモリを具備し、該デュアルポートメモリを介して通常のデータ以外に該第 1 および第 2 の情報処理装置の自身の健全性を示す情報も互いに受け渡しすることにより、一方の情報処理装置が何らかの異常により正常動作不能な状態が発生した際には、他方の情報処理装置で一方の情報処理装置の異常を認識し、処理内容からデュアルポートメモリ経由のデータの受け渡しを切り離すことで、他方の情報処理装置は正常動作不能となった一方の情報処理装置の影響を受けずに処理を継続可能とすることを特徴とする情報処理装置の接続方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、おのこの情報処理装置が CPU を具備し、CPU 間で受け渡しされるデータを利用しつつおのこの情報処理装置が処理を遂行する、複数の情報処理装置から構成される情報処理システムに関する。

【0002】

【従来の技術】従来は、デュアルポートメモリを用いたマルチプロセッサシステム（特開平 5-73506 号公報など）のように、デュアルポートメモリはデータの受け渡し手段として位置付けられ、一方のプロセッサが正常動作不能となった場合については言及されていない。

【0003】

【発明が解決しようとする課題】従来のデュアルポートメモリによる CPU 間通信では、デュアルポートメモリ経由で受け渡しするデータにより、処理を分散させるマルチプロセッサシステム指向であることから、一方の情報処理装置が正常動作不能になると、他方の情報処理装置も処理を継続できず、共倒れを招くことになる。

【0004】本発明の目的は、このような場合に正常な情報処理装置が処理を継続可能となるように論理的な分離・絶縁が可能な情報処理装置の接続方式を提供することにある。

【0005】

【課題を解決するための手段】図 1 は本発明の原理構成を表すブロック図である。図において、本発明の構成は、少なくとも 1 つの情報処理部 4 を備えた第 1 の情報処理装置 1 と、少なくとも 1 つの情報処理部 5 を備えた第 2 の情報処理装置 2 と、該第 1 および第 2 の情報処理装置 1、2 のそれぞれに属する情報処理部 4、5 のバスに接続され該第 1 および第 2 の情報処理部の間で相互にデータの受け渡しを行うデュアルポートメモリ 3 を具備

し、該デュアルポートメモリ 3 を介して通常のデータ 6 以外に、該第 1 および第 2 の情報処理装置 1、2 の自身の健全性を示す健全性情報 7、8 も互いに受け渡しすることにより、一方の情報処理装置が何らかの原因により正常動作不能な状態が発生した際には、他方の情報処理装置で一方の情報処理装置の異常を認識可能とし、他方の情報処理装置の処理内容からデュアルポートメモリ経由のデータの受け渡しの処理を切り離すことにより一方の情報処理装置と論理的に分離・絶縁することで他方の情報処理装置の処理を継続可能とすることを特徴とするものである。

【0006】

【発明の実施の形態】図 2 は本発明の一実施例を示すブロック図である。本実施例は、産業用情報処理装置 10 と、パーソナルコンピュータ（以下 PC と略す）9 と、産業用情報処理装置 10 と PC 9 のそれぞれに属する情報処理部である MPU 13 と MPU 12 のバスに接続され MPU 13 と MPU 12 の間で相互にデータ 14 および互いの健全性情報 15、16 の受け渡しを行うための、産業用情報処理装置 10 の内部に設けられたデュアルポートメモリ 11 から構成される。

【0007】本構成において、産業用情報処理装置 10 からは、データ 14 として主に制御状態情報を PC 9 に対して渡し、PC 9 からはデータ 14 として主に産業用情報処理装置 10 に対する制御情報取得のための要求情報を産業用情報処理装置 10 に対して渡している。同時に、産業用情報処理装置 10 および PC 9 は常時自身の健全性をチェックしており、その結果が正常であることをもって、定期的にデュアルポートメモリ 11 の健全性情報 15、16 をおのこの更新する。

【0008】健全性情報 15、16 は、産業用情報処理装置 10、PC 9 がおのこの正常である限り、あらかじめ決められたルールに従って毎回更新される。あらかじめ決められたルールとは、たとえば毎回一定の値で増加するデータをもって健全性情報とするなどである。健全性情報 15 は PC 9 側から監視し、健全性情報 16 は産業用情報処理装置 10 側から監視することで、いずれか一方が異常となった際には他方から異常を検出することが可能である。

【0009】本実施例においては、PC 9 が異常となった場合には、産業用情報処理装置 10 は健全性情報 16 により PC 9 の異常を認識し、デュアルポートメモリ 11 を経由したデータ 14 の処理を止め、自身の情報処理を継続する。これにより産業用情報処理装置 10 は PC 9 から論理的に切り離され、PC 9 の異常による影響を受けずに正常な動作が継続可能となる。

【0010】

【発明の効果】以上述べたように、本発明によれば、デュアルポートメモリを介してデータ以外に互いの健全性情報を受け渡しすることにより、一方の情報処理装置の